

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-352039

(43)Date of publication of application : 21.12.2001

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/76
H01L 21/8234
H01L 27/06
H01L 27/08
H01L 29/786

(21)Application number : 2000-168925

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.06.2000

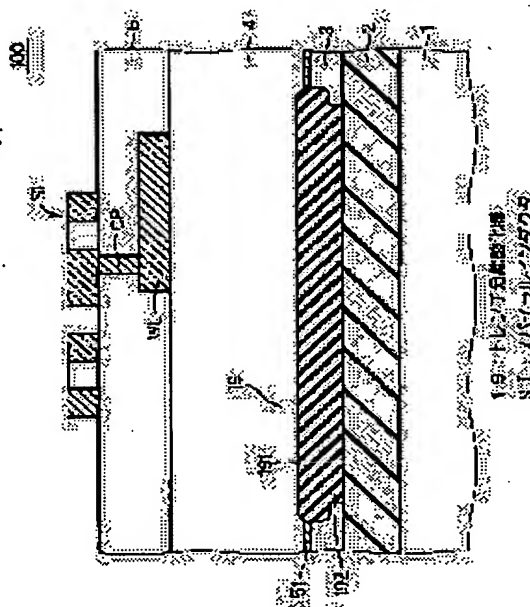
(72)Inventor : MAEDA SHIGENOBU
MAEKAWA SHIGETO
IPPOSHI TAKASHI
IWAMATSU TOSHIKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, which comprises a spiral inductor and in which the arrangement and installation area of an insulating layer arranged and installed inside the surface of a wiring board in its lower part is decided.

SOLUTION: A trench isolation oxide film 19 as a complete isolation oxide film, which comprises the structure of a partial isolation oxide film in a part over a region which is wider than a region corresponding to the arrangement and installation region of the spiral inductor SI, is arranged and installed inside the surface of an SOI layer 3. The oxide film 19 is constituted of a first part 191, which is extended nearly perpendicularly to the surface of a buried oxide film 2 in a first formation width, and a second part 192, which is continued to the lower part of the first part 191 and which extends nearly perpendicular to the surface of the film 2 in a second formation width which, is narrower than the first formation width. The oxide film 19 is arranged and installed, in such a way that respective end faces of the second part 192 are arranged and installed with the distance in the plane direction from corresponding end faces of the spiral inductor SI becoming a prescribed distance or larger.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-352039

(P2001-352039A)

(43) 公開日 平成13年12月21日 (2001. 12. 21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 27/04		H 0 1 L 27/08	3 3 1 A 5 F 0 3 2
21/822			3 3 1 E 5 F 0 3 8
21/76		27/04	L 5 F 0 4 8
21/8234		21/76	S 5 F 1 1 0
27/06			M
審査請求 未請求 請求項の数 9 O L (全 22 頁) 最終頁に続く			

(21) 出願番号 特願2000-168925(P2000-168925)

(22) 出願日 平成12年6月6日(2000. 6. 6)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 前田 茂伸

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 前川 繁登

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

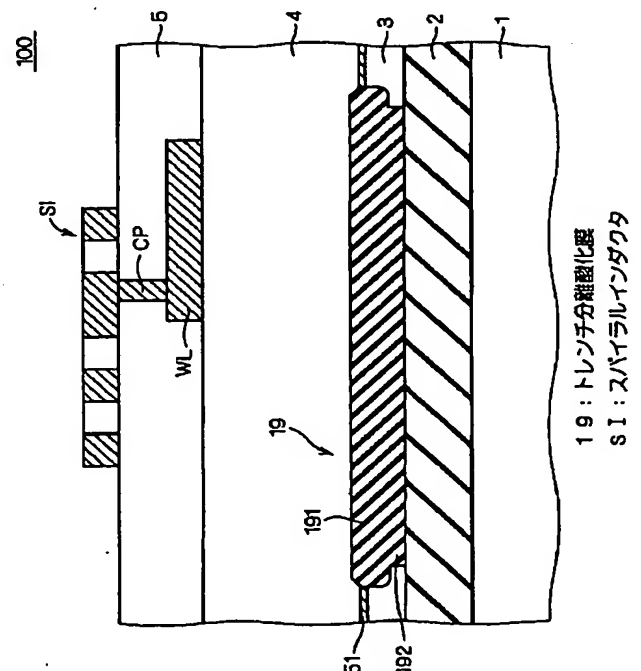
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 スパイラルインダクタを有する半導体装置において、その下部の配線基板の表面内に配設される絶縁層の配設面積を確定した半導体装置を提供する。

【解決手段】 S O I 層 3 の表面内に、スパイラルインダクタ S I の配設領域に対応する領域よりもさらに広い領域に渡って、部分分離酸化膜の構造を一部に有する完全分離酸化膜であるトレンチ分離酸化膜 1 9 が配設されている。トレンチ分離酸化膜 1 9 は、第 1 の形成幅で埋め込み酸化膜 2 の表面に対してほぼ垂直に延在する第 1 の部分 1 9 1 と、第 1 の部分 1 9 1 の下部に連続し、第 1 の形成幅よりも狭い第 2 の形成幅で埋め込み酸化膜 2 の表面に対してほぼ垂直に延在する第 2 の部分 1 9 2 とで構成され、第 2 の部分 1 9 2 のそれぞれの端面は、それぞれ対応するスパイラルインダクタ S I の端面との平面方向の距離が所定の距離以上となるように配設されている。



1

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の主面内に配設された第 1 の分離酸化膜と、

前記第 1 の分離酸化膜の形成領域上に層間絶縁膜を間に挟んで配設されたインダクタンス素子とを備え、

前記第 1 の分離酸化膜は、その端面と、前記インダクタンス素子の端面のうち最も近い端面との平面方向の距離が、前記第 1 の分離酸化膜に対向する前記インダクタンス素子の下面と前記半導体基板表面との間の垂直方向の距離以上となるように配設される、半導体装置。

【請求項 2】 半導体基板と、

前記半導体基板の主面内に配設された第 1 の分離酸化膜と、

前記第 1 の分離酸化膜の形成領域上に層間絶縁膜を間に挟んで配設されたインダクタンス素子と、

前記第 1 の分離酸化膜と前記インダクタンス素子との間の高さ位置に配設された導体層とを備え、

前記導体層は、その端面と、前記インダクタ素子の端面のうち最も近い端面との平面方向の距離が、前記第 1 の分離酸化膜に対向する前記インダクタンス素子の下面と前記半導体基板表面との間の垂直方向の距離以上となるように配設される、半導体装置。

【請求項 3】 半導体基板と、

前記半導体基板の主面内に配設された第 1 の分離酸化膜と、

前記第 1 の分離酸化膜の形成領域上に層間絶縁膜を間に挟んで配設されたインダクタンス素子と、

前記第 1 の分離酸化膜の周囲に配設され、前記第 1 の分離酸化膜よりも平面視幅が小さい第 2 の分離酸化膜により分離されたダミーパターン領域とを備える、半導体装置。

【請求項 4】 前記第 1 の分離酸化膜は、その端面と、前記インダクタンス素子の端面のうち最も近い端面との平面方向の距離が、前記第 1 の分離酸化膜に対向する前記インダクタンス素子の下面と前記半導体基板表面との間の垂直方向の距離以上となるように配設される、請求項 2 または請求項 3 記載の半導体装置。

【請求項 5】 前記半導体基板は、

土台となる基板部と、該基板部上に配設された埋め込み酸化膜と、該埋め込み酸化膜上に配設された SOI 層とを備える SOI 基板であって、

前記垂直方向の距離は、前記インダクタンス素子の下面と前記基板部表面との間の垂直方向の距離である、請求項 1 ないし請求項 3 の何れかに記載の半導体装置。

【請求項 6】 前記第 1 の分離酸化膜は、

第 1 の形成幅で前記埋め込み酸化膜の表面に対して深さ方向に延在する第 1 の部分と、該第 1 の部分の下部に連続し、前記第 1 の形成幅よりも狭い第 2 の形成幅で前記埋め込み酸化膜の表面に対して深さ方向に延在して前記

2

埋め込み酸化膜に達する第 2 の部分とを有し、

前記第 1 の分離酸化膜の端面は、前記第 2 の部分の端面である、請求項 5 記載の半導体装置。

【請求項 7】 前記第 1 の分離酸化膜は、所定の形成幅で前記埋め込み酸化膜の表面に対して深さ方向に延在する、請求項 5 記載の半導体装置。

【請求項 8】 前記第 1 の分離酸化膜の平面視形状は矩形であって、

前記ダミーパターン領域の形成幅は、前記第 1 の分離酸化膜の短辺の長さの 5 % 以上の長さを有する、請求項 3 記載の半導体装置。

【請求項 9】 前記ダミーパターン領域は、前記第 2 の分離酸化膜によって規定されるフィールド部を有し、前記ダミーパターン領域の前記第 2 の分離酸化膜の平面視面積と、前記フィールド部の平面視面積の比率がほぼ 1 対 1 に設定される、請求項 8 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、特に、インダクタを有した高周波回路を備えた半導体装置に関する。

【0002】

【従来の技術】 図 35 を用いて、高周波回路を備えた半導体装置の構成の一例について説明する。図 35 は、無線周波数 (10 kHz ~ 100 GHz) の電波信号を受信して、音声信号として出力する機能を有した半導体装置 90 の構成を示すブロック図である。

【0003】 図 35 に示すように半導体装置 90 は、受信した電波信号を復調する RF 回路部 91、RF 回路部 91 で復調された信号を処理して音声信号に変換するロジック部 92、RF 回路部 91 およびロジック部 92 における信号処理に必要なデータを記憶するメモリセル部 93 を少なくとも備えている。なお、半導体装置 90 は電波信号を検出するアンテナ装置 94 および音声信号を出力する放音装置 95 に接続される。

【0004】 RF 回路部 91 を含めて、いわゆる高周波回路においては、抵抗やキャパシタの他にインダクタ (インダクタンス素子) であるを備えている。インダクタは高周波電流に対して位相を速めるように作用するので、高周波電流に対して位相を遅らせるように作用するキャパシタに対抗して使用することで高周波電流のマッチングを取ることができる。

【0005】 図 35 においては RF 回路部 91 内のインダクタ L1 を示すが、インダクタ L1 は寄生キャパシタ C1 を有し、寄生キャパシタ C1 は抵抗 R1 を介して接地されている。ここで、抵抗 R1 は RF 回路部 91 を形成する半導体基板の抵抗であり、この抵抗値が極めて低い、あるいは極めて高い場合には問題にはならないが、基板の種類によっては、静電誘導損失により電力を消費するような抵抗値 (例えば 10 Ω cm 程度) を有するも

のがある。

【0006】図36に、インダクタL1の構成を斜視図で示す。図36に示すように、インダクタL1は配線を渦巻き状に巻き回して形成されているので、以後の説明においてはスパイラルインダクタSIと呼称する。スパイラルインダクタSIの一方の端部である渦の中心部は、図示しない層間絶縁膜を貫通するコンタクト部CPを介して下層の配線WLに接続されている。

【0007】

【発明が解決しようとする課題】このように、高周波回路を備えた半導体装置においては、スパイラルインダクタと呼称されるインダクタを有することが一般的であるが、スパイラルインダクタはその一辺が100～200μmの大きさを有し、その下部の配線基板の表面内にはスパイラルインダクタの大きさに対応した絶縁層を配設するが、当該絶縁層の配設面積が広過ぎると半導体装置の小型化に支障をきたし、配設面積が狭過ぎるとスパイラルインダクタによる静電誘導損失や電磁誘導損失を無視できなくなるという問題があった。

【0008】本発明は上記のような問題点を解消するためになされたもので、スパイラルインダクタを有する半導体装置において、その下部の配線基板の表面内に配設される絶縁層の配設面積を確定した半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明に係る請求項1記載の半導体装置は、半導体基板と、前記半導体基板の主面内に配設された第1の分離酸化膜と、前記第1の分離酸化膜の形成領域上に層間絶縁膜を間に挟んで配設されたインダクタンス素子とを備え、前記第1の分離酸化膜は、その端面と、前記インダクタンス素子の端面のうち最も近い端面との平面方向の距離が、前記第1の分離酸化膜に対向する前記インダクタンス素子の下面と前記半導体基板表面との間の垂直方向の距離以上となるように配設されている。

【0010】本発明に係る請求項2記載の半導体装置は、半導体基板と、前記半導体基板の主面内に配設された第1の分離酸化膜と、前記第1の分離酸化膜の形成領域上に層間絶縁膜を間に挟んで配設されたインダクタンス素子と、前記第1の分離酸化膜と前記インダクタンス素子との間の高さ位置に配設された導体層とを備え、前記導体層は、その端面と、前記インダクタ素子の端面のうち最も近い端面との平面方向の距離が、前記第1の分離酸化膜に対向する前記インダクタンス素子の下面と前記半導体基板表面との間の垂直方向の距離以上となるように配設されている。

【0011】本発明に係る請求項3記載の半導体装置は、半導体基板と、前記半導体基板の主面内に配設された第1の分離酸化膜と、前記第1の分離酸化膜の形成領域上に層間絶縁膜を間に挟んで配設されたインダクタン

ス素子と、前記第1の分離酸化膜の周囲に配設され、前記第1の分離酸化膜よりも平面視幅が小さい第2の分離酸化膜により分離されたダミーパターン領域とを備えている。

【0012】本発明に係る請求項4記載の半導体装置は、前記第1の分離酸化膜が、その端面と、前記インダクタンス素子の端面のうち最も近い端面との平面方向の距離が、前記第1の分離酸化膜に対向する前記インダクタンス素子の下面と前記半導体基板表面との垂直方向の距離以上となるように配設されている。

【0013】本発明に係る請求項5記載の半導体装置は、前記半導体基板が、土台となる基板部と、該基板部に配設された埋め込み酸化膜と、該埋め込み酸化膜上に配設されたSOI層とを備え、前記垂直方向の距離は、前記インダクタンス素子の下面と前記基板部表面との間の垂直方向の距離である。

【0014】本発明に係る請求項6記載の半導体装置は、前記第1の分離酸化膜が、第1の形成幅で前記埋め込み酸化膜の表面に対して深さ方向に延在する第1の部分と、該第1の部分の下部に連続し、前記第1の形成幅よりも狭い第2の形成幅で前記埋め込み酸化膜の表面に対して深さ方向に延在して前記埋め込み酸化膜に達する第2の部分とを有し、前記第1の分離酸化膜の端面は、前記第2の部分の端面である。

【0015】本発明に係る請求項7記載の半導体装置は、前記第1の分離酸化膜が、所定の形成幅で前記埋め込み酸化膜の表面に対して深さ方向に延在する。

【0016】本発明に係る請求項8記載の半導体装置は、前記第1の分離酸化膜の平面視形状が矩形であって、前記ダミーパターン領域の形成幅は、前記第1の分離酸化膜の短辺の長さの5%以上の長さを有している。

【0017】本発明に係る請求項9記載の半導体装置は、前記ダミーパターン領域が、前記第2の分離酸化膜によって規定されるフィールド部を有し、前記ダミーパターン領域の前記第2の分離酸化膜の平面視面積と、前記フィールド部の平面視面積の比率がほぼ1対1に設定されている。

【0018】

【発明の実施の形態】<序論>本発明に係る半導体装置の実施の形態の説明に先立って、スパイラルインダクタを有した半導体装置の一例として、図1に半導体装置90Aの構成を示す。

【0019】図1に示す半導体装置90Aは、図35を用いて説明した半導体装置90を例に採れば、RF回路部91およびロジック部92の一部分を示しており、それぞれRF回路部RPおよびロジック部LPとして示す。

【0020】図1において、シリコン基板1と、該シリコン基板1上に配設された埋め込み酸化膜2と、埋め込み酸化膜2上に配設されたSOI層3とで構成されるS

5

OI基板SB上に、RF回路部RPおよびロジック部LPが配設されている。

【0021】RF回路部RPにおいては、SOI層3のスパイラルインダクタSI（平面構成は図36参照）の配設領域に対応する領域にトレンチ分離酸化膜17が配設されている。トレンチ分離酸化膜17はロジック部LPまで延在し、ロジック部LPにおいては、トレンチ分離酸化膜15によってSOI層3が分割され、SOI領域71および72が形成されている。そして、SOI領域71および72にはMOSトランジスタQ31およびQ32がそれぞれ形成されている。

【0022】MOSトランジスタQ31およびQ32は、共にSOI領域71および72上に配設されたゲート絶縁膜GZ、ゲート絶縁膜GZ上に配設されたゲート電極GT、ゲート電極GT上に配設されたシリサイド膜GSおよび、それらの側面を覆うように配設されたサイドウォール絶縁膜GWを備えている。なお、MOSトランジスタQ31およびQ32は一般的なMOSトランジスタであり、その構成および製造方法に特徴があるものではない。

【0023】また、MOSトランジスタQ31においては、サイドウォール絶縁膜GWの外側のSOI領域71の表面内に配設されたシリサイド膜SSおよびソース・ドレイン領域SDを示しているが、MOSトランジスタQ32においても同様の構成を有していることは言うまでもない。MOSトランジスタQ32は、ゲート電極GTの長手方向に沿った断面構成を表すので上述の構成が図示されていないだけである。

【0024】そして、SOI基板SB上全域を覆うように、例えばシリコン酸化膜で構成される層間絶縁膜4が配設され、層間絶縁膜4上にはスパイラルインダクタSIをMOSトランジスタQ11に電気的に接続する配線WLが配設されている。

【0025】また、層間絶縁膜4上を覆うように、例えばシリコン酸化膜で構成される層間絶縁膜5が配設され、層間絶縁膜5上にスパイラルインダクタSIが配設されている。スパイラルインダクタSIの一方の端部は層間絶縁膜5を貫通して配線WLに達するコンタクト部CPを介して配線WLに接続されている。配線WLはMOSトランジスタ等の半導体素子に電気的に接続されるが、図示は省略している。

【0026】なお、トレンチ分離酸化膜15および17のように、SOI領域を電気的に完全に分離するのではなく、その下部にSOI層3がウエル領域WRとして配設された分離酸化膜を部分分離酸化膜と呼称する。

【0027】＜部分分離酸化膜について＞ここで、部分分離酸化膜について簡単に説明する。完全分離酸化膜によって他の素子から電気的に完全に分離されたMOSトランジスタにおいては、他のMOSトランジスタとの間のラッチアップが原理的に起こらない。

6

【0028】従って、完全分離酸化膜を用いてCMOSトランジスタを有するSOIデバイスを製造する場合は、微細加工技術で決まる最小分離幅を使用できチップ面積を縮小できるメリットがあった。しかしながら、衝突電離現象によって発生するキャリア（NMOSではホール）がチャネル形成領域（ボディ領域）に溜まり、これによりキンクが発生したり、動作耐圧が劣化したり、また、チャネル形成領域の電位が安定しないために遅延時間の周波数依存性が発生する等の基板浮遊効果による影響があった。

【0029】そこで考案されたのが、パーシャルトレンチ分離とも呼称される部分分離酸化膜であり、図1の構成を例に採れば、トレンチ分離酸化膜15の下部のウエル領域WRを通じてキャリアの移動が可能であり、キャリアがチャネル形成領域に溜まるということを防ぎ、またウエル領域WRを通じてチャネル形成領域の電位を固定することができるので、基板浮遊効果による種々の問題が発生しない。

【0030】ここで、図1の説明に戻る。半導体装置90Aにおいては、SOI層3のスパイラルインダクタSIの配設領域に対応する領域に、部分分離酸化膜であるトレンチ分離酸化膜17を配設した構成となっている。このような構成となっているのは、ロジック部LPにおいて部分分離酸化膜を使用するので、製造工程の簡略化という観点でRF回路部RPにおいても部分分離酸化膜を使用するからであるが、トレンチ分離酸化膜17の下部のウエル領域WRは厚さが薄く、また不純物濃度も低いので抵抗値が高く、図35を用いて説明したインダクタL1に寄生する寄生キャパシタC1は、この領域を通して接地されることになり、図35における抵抗R1の値が高くなる。抵抗R1の値が高くなると、静電誘導損失により電力が消費され、また、スパイラルインダクタSIに流れる電流により、ウエル領域WR内において渦電流が発生し電磁誘導損失を被ることになる。

【0031】そこで、発明者等は、トレンチ分離酸化膜17の下部のウエル領域WRの代わりに、当該領域に酸化膜を形成することで、静電誘導損失および電磁誘導損失を低減する構成に想到した。

【0032】当該構成を有する半導体装置90Bを図2に示す。なお、図2においては簡略化のため、スパイラルインダクタSIと、その下部の構成のみを示しているが、その他の構成において図1に示す半導体装置90Aと同様であり、また、図1と同一の構成には同一の符号を付し、重複する説明は省略する。

【0033】図2に示す半導体装置90Bにおいては、スパイラルインダクタSIの配設領域に対応するSOI層3の領域には、部分分離酸化膜の一部に有した完全分離酸化膜であるトレンチ分離酸化膜18を配設した構成となっている。

【0034】トレンチ分離酸化膜18は、第1の形成幅

7

で埋め込み酸化膜 2 の表面に対してほぼ垂直に延在する第 1 の部分 181 と、第 1 の部分の下部に連続し、第 1 の形成幅よりも狭い第 2 の形成幅で埋め込み酸化膜 2 の表面に対してほぼ垂直に延在する第 2 の部分 182 とで構成され、少なくとも第 2 の部分 182 がスパイラルインダクタ S I の配設領域に対応して配設されている。

【0035】このような構成を採ることで、図 1 に示す半導体装置 90A に比べて静電誘導損失および電磁誘導損失を低減することができるが、トレンチ分離酸化膜 17 の端縁部である領域 X においては、S O I 層 3 が第 1 の部分 181 の下部に存在して、突出部 D P となっている。

【0036】突出部 D P は、トレンチ分離酸化膜 17 の下部のウェル領域 W R と同様に抵抗値が高く、静電誘導損失および電磁誘導損失は無視できないことを発明者等は認識した。そこで、発明者等は静電誘導損失および電磁誘導損失の解析を行い、静電誘導損失および電磁誘導損失をさらに低減できる構成を得るに至った。

【0037】＜A. 実施の形態 1＞

＜A-1. 装置構成＞以下、本発明に係る半導体装置の実施の形態 1 として、静電誘導損失および電磁誘導損失をさらに低減した半導体装置 100 の構成を図 3 に示す。なお、図 3 においては簡略化のため、スパイラルインダクタ S I と、その下部の構成のみを示しているが、その他の構成において図 1 に示す半導体装置 90A と同様であり、また、図 1 と同一の構成には同一の符号を付し、重複する説明は省略する。

【0038】図 3 に示す半導体装置 100 においては、S O I 層 3 の表面内に、スパイラルインダクタ S I の配設領域に対応する領域よりもさらに広い領域に渡って、部分分離酸化膜の構造を一部に有する完全分離酸化膜であるトレンチ分離酸化膜 19 を配設した構成となっている。

【0039】そして、トレンチ分離酸化膜 19 の周囲の S O I 層 3 の主面上にはシリサイド膜 51 が配設されている。

【0040】トレンチ分離酸化膜 19 は、第 1 の形成幅で埋め込み酸化膜 2 の表面に対してほぼ垂直に延在する第 1 の部分 191 と、第 1 の部分 191 の下部に連続し、第 1 の形成幅よりも狭い第 2 の形成幅で埋め込み酸化膜 2 の表面に対してほぼ垂直に延在する第 2 の部分 192 とで構成され、第 2 の部分 192 のそれぞれの端面、すなわち第 1 の部分 181 の下部に存在する S O I 層 3 の突出部 D P の端面は、スパイラルインダクタ S I の複数の辺の端面のうち、最も近い端面との平面方向の距離が所定の距離以上となるように配設されている。

【0041】ここで、第 1 の部分 191 よりも狭い形成幅の第 2 の部分 192 が完全分離酸化膜の構造に相当する。

【0042】この構成を図 4 を用いてさらに説明する。

8

図 4 は図 3 に示す構成のうちトレンチ分離酸化膜 19 のハッチングを省略し、また層間絶縁膜 4 および 5 を省略して簡略化した図である。

【0043】図 4 において、S O I 層 3 の突出部 D P のそれぞれの端面と、それぞれに最も近いスパイラルインダクタ S I の端面との平面方向の距離および、スパイラルインダクタ S I の下面とシリコン基板 1 の上主面までの距離が、それぞれ距離 S_0 および距離 D_0 で示されている。なお、図 4 においては縦横の比率は同じではなく、また、距離 S_0 とスパイラルインダクタ S I の大きさとの比率も、距離 S_0 を強調するためにスパイラルインダクタ S I を小さく、距離 S_0 を大きく示している。

【0044】ここで、距離 S_0 を距離 D_0 以上 ($S_0 \geq D_0$) となるように設定することで、静電誘導損失および S O I 層 3 の突出部 D P での電磁誘導損失を低減できる。

【0045】すなわち、距離 S_0 (S O I 層 3 の突出部 D P とスパイラルインダクタ S I との距離) を大きくすれば、突出部 D P とスパイラルインダクタ S I との間の寄生容量が減って静電誘導損失が小さくなり、また、突出部 D P からスパイラルインダクタ S I を見た場合の見込み角を小さくすることで電磁誘導損失が小さくなる。

【0046】電磁誘導損失の低減について図 5～図 7 を用いてさらに説明する。図 5 は 1 つの突出部 D P からスパイラルインダクタ S I を見た場合の見込み角 θ_1 を示す図である。ここで、見込み角とは突出部 D P の一点を頂点とし、当該頂点とスパイラルインダクタ S I の向かい合う 2 つの端面の中心とのなす角度として定義する。

【0047】図 6 および図 7 は、スパイラルインダクタ S I による電磁誘導損失を模式的に示す図であり、図 6 は見込み角 θ_1 が比較的小さな場合を、図 7 は見込み角 θ_1 が比較的大きな場合を示し、何れの図においてもスパイラルインダクタ S I の向かい合う 2 つの辺での電流の流れを記号で示している。

【0048】すなわち、スパイラルインダクタ S I の左辺と右辺では、ある瞬間における電流の向きは正反対であり、それぞれの辺に流れる電流により誘起される磁界の向きは異なっている。そして、図 6 のように見込み角 θ_1 が比較的小さな場合は、突出部 D P でのスパイラルインダクタ S I の左辺および右辺が作る磁界 M G 1 および M G 2 は、ほぼ正反対の方向となり磁界が打ち消し合って電磁誘導損失が小さくなる。この効果は、見込み角 θ_1 が小さくなればなるほど、すなわち突出部 D P の 1 つの端面と、それに対応するスパイラルインダクタ S I の 1 つの端面との平面方向の距離 S_0 が大きくなればなるほど顕著になり、逆に、見込み角 θ_1 が大きくなると、電磁誘導損失は大きくなる。

【0049】その極端な例を図 7 に示す。図 7 においては、突出部 D P の 1 つの端面と、それに対応するスパイラルインダクタ S I の 1 つの端面との距離は離れている

が、両者の位置関係は図6の場合と逆転しており、見込み角 $\theta 1$ が大きくなっている。この結果、突出部DPでのスパイラルインダクタSIの左辺および右辺が作る磁界MG1およびMG2は、ほぼ同じ方向となり磁界が強め合って電磁誘導損失が大きくなる。なお、静電誘導損失低減の仕組みについては、後に実施の形態4において説明する。

【0050】＜A-2. 作用効果＞このように、SOI層3の突出部DPのそれぞれの端面と、それぞれ対応するスパイラルインダクタSIの端面との平面方向の距離 S_0 をスパイラルインダクタSIの下面とシリコン基板1の上主面までの距離 D_0 以上とすることで静電誘導損失を低減するとともに、突出部DPでの電磁誘導損失を低減できる。

【0051】なお、静電誘導損失および電磁誘導損失の増加はインダクタの性能を表すQ値（インダクタに蓄えられるエネルギーを、各種損失で割った値）を減少させるので、静電誘導損失および電磁誘導損失を低減させることはQ値の増加、すなわち向上に寄与することになる。そして、回路の効率が向上し、雑音指数も小さくなる。

【0052】ここで、距離 S_0 の一例としては $8\mu\text{m}$ 程度、距離 D_0 の一例としては $4\mu\text{m}$ 程度が挙げられる。距離 D_0 は、半導体装置の基本的な構成によって決定されるので大幅に変更することは難しいが、距離 S_0 はトレンチ分離酸化膜19のレイアウトを変更することで容易に変更でき、また、スパイラルインダクタSIの一辺の寸法が $100\sim 200\mu\text{m}$ と大きいので、距離 S_0 を多少大きくしても半導体装置全体の面積が極端に増えるということはない。

【0053】例えば、前述のように距離 S_0 を $8\mu\text{m}$ とした場合、スパイラルインダクタSIが $200\mu\text{m}$ であれば、その面積は、距離 S_0 が0の場合、すなわちスパイラルインダクタSIとトレンチ分離酸化膜19とが同等の面積である場合に比べて1.2倍程度大きくなるに止まる。

【0054】＜A-3. 変形例1＞以上説明した半導体装置100においては、SOI層3の表面内に、スパイラルインダクタSIの配設領域に対応する領域よりもさらに広い領域に渡って、部分分離酸化膜の構造を一部に有する完全分離酸化膜であるトレンチ分離酸化膜19を配設した構成となっていたが、トレンチ分離酸化膜19の代わりに、図8に示す半導体装置100Aのように、完全分離酸化膜であるトレンチ分離酸化膜20を配設するようにしても良い。

【0055】この構成においては、トレンチ分離酸化膜20は所定の形成幅で、埋め込み酸化膜2の表面に対してほぼ垂直に延在して埋め込み酸化膜2に達する形状を有している。そして、トレンチ分離酸化膜20のそれぞれの端面、すなわちSOI層3の端面は、それぞれ対応

するスパイラルインダクタSIの端面との平面方向の距離が距離 S_2 になるように配設されている。

【0056】なお、図8においては縦横の比率は同じではなく、また、距離 S_2 とスパイラルインダクタSIの大きさとの比率も、距離 S_2 を強調するためにスパイラルインダクタSIを小さく、距離 S_2 を大きく示している。

【0057】ここで、距離 S_2 を距離 D_0 以上（ $S_2 \geq D_0$ ）となるように設定することで、SOI層3の端縁部での静電誘導損失および電磁誘導損失を低減できることは、半導体装置100の場合と同様である。

【0058】なお、半導体装置100と同様に半導体装置100Aにおいてもトレンチ分離酸化膜20の周囲のSOI層3の主面上にはシリサイド膜51が配設されている。シリサイド膜51は、例えばコバルトやチタン等の金属膜をSOI層3上に形成し、シリサイド反応により当該金属膜をシリサイド化して形成する。シリサイド膜51の抵抗値はSOI層3よりも低く、その結果SOI層3を通して接地に流れる電流が流れやすくなり、静電誘導損失をさらに低減でき、Q値の向上に寄与することになる。

【0059】＜A-4. 変形例2＞以上説明した半導体装置100および100Aは、SOI基板SB上に形成される構成であったが、本発明の適用はSOI基板に限定されるものではなく、バルク基板と呼称されるシリコン基板に適用することもできる。

【0060】すなわち、図9に示す半導体装置100Bのようにシリコン基板10の表面内に、スパイラルインダクタSIの配設領域に対応する領域よりもさらに広い領域に渡って、トレンチ分離酸化膜20Aを配設するようにしても良い。

【0061】この構成においては、トレンチ分離酸化膜20Aは所定の形成幅で、シリコン基板10の内部にはほぼ垂直に延在する形状を有している。そして、トレンチ分離酸化膜20Aのそれぞれの端面、すなわちシリコン基板10の端面は、それぞれ対応するスパイラルインダクタSIの端面との平面方向の距離が距離 S_2 になるように配設されている。

【0062】ここで、距離 S_2 を距離 D_0 以上（ $S_2 \geq D_0$ ）となるように設定することで、シリコン基板10の端縁部での静電誘導損失および電磁誘導損失を低減できることは、半導体装置100Aの場合と同様である。

【0063】＜B. 実施の形態2＞

＜B-1. 装置構成＞以上説明した実施の形態1においては、スパイラルインダクタの下部の半導体基板の表面内に配設されるトレンチ分離酸化膜のレイアウトを工夫することで、半導体基板とトレンチ分離酸化膜との界面近傍の半導体基板内での静電誘導損失および電磁誘導損失を低減する構成について示したが、本発明の適用はトレンチ分離酸化膜のレイアウトに限定されるものではな

く、例えば、配線層などの各種導体層のレイアウトにも適用可能である。

【0064】図10に本発明に係る半導体装置の実施の形態2として、半導体装置200の構成を示す。

【0065】なお、図10においては簡略化のため、スパイラルインダクタSIと、その下部の構成のみを示しているが、その他の構成において図1に示す半導体装置90Aと同様であり、また、図1と同一の構成には同一の符号を付し、重複する説明は省略する。

【0066】図10に示す半導体装置200においては、SOI層3の表面内にトレンチ分離酸化膜19が配設されている点は図3を用いて説明した半導体装置100と同様であるが、トレンチ分離酸化膜19の上部の層間絶縁膜（図示せず）中には配線層WL1が配設されている。

【0067】そして、配線層WL1は、その端面と、スパイラルインダクタSIの端面のうち最も近い端面との平面方向の距離が距離 S_1 になるように配設されている。

【0068】なお、図10においては縦横の比率は同じではなく、また、距離 S_1 とスパイラルインダクタSIの大きさとの比率も、距離 S_1 を強調するためにスパイラルインダクタSIを小さく、距離 S_1 を大きく示している。

【0069】ここで、距離 S_1 を距離 D_0 以上（ $S_1 \geq D_0$ ）となるように設定することで、配線層WL1とスパイラルインダクタSIとの間の寄生容量が減って静電誘導損失が小さくなり、また、配線層WLの端縁部からスパイラルインダクタSIを見た場合の見込み角を小さくすることで電磁誘導損失を低減できる。

【0070】なお、配線層WL1は、導体層であれば金属配線層でもポリシリコン配線層でも良く、また金属配線の配設に際して形成される金属配線のダミーパターン等の導体層であっても良い。このダミーパターンは、金属配線を層間絶縁膜で覆う構成において、当該層間絶縁膜をCMP（Chemical Mechanical Polishing）処理により平坦化する際に、金属配線の間隔が広がり過ぎないようにして平坦度を向上させるために配設されるものである。

【0071】このように、スパイラルインダクタSIの下部においては、配線層を含めて導体となり得る層を極力配設しないようにすることで静電誘導損失を低減し、また電磁誘導損失を低減することができる。

【0072】＜B-2. 変形例＞以上説明した半導体装置200は、SOI基板SB上に形成される構成であったが、本発明の適用はSOI基板に限定されるものではなく、バルク基板と呼称されるシリコン基板に適用することもできる。

【0073】すなわち、図11に示す半導体装置200Aのようにシリコン基板10の表面内に、スパイラル

インダクタSIの配設領域に対応する領域よりもさらに広い領域に渡って、トレンチ分離酸化膜20Aを配設し、トレンチ分離酸化膜20の上の層間絶縁膜（図示せず）中に配線層WL1を配設し、配線層WL1は、その端面と、最も近い位置のスパイラルインダクタSIの端面との平面方向の距離が距離 S_1 になるように配設しても良い。

【0074】ここで、距離 S_1 が距離 D_0 以上（ $S_1 \geq D_0$ ）となるように設定されていることは言うまでもない。

【0075】＜B-3. スパイラルインダクタの配線について＞以上の説明においては、スパイラルインダクタSIの下部においては、導体となり得る層を極力配設しないようにする構成について示したが、実際には図10に示すようにスパイラルインダクタSIは図示しない層間絶縁膜を貫通するコンタクト部CPを介して下層の配線WLに接続されているので、少なくとも配線WLはスパイラルインダクタSIの下部に存在することになる。

【0076】このような場合、配線WLと他のレイヤに形成された他の配線との接続部を、上述した距離 S_1 で規定される領域外に設けるようにすることで静電誘導損失を抑制することができる。すなわち、2層以上の導体層が重なる接続部においては静電誘導損失が大きくなるが、これを防止することができる。

【0077】当該構成を図12に示す。図12においてはスパイラルインダクタSIの平面図を示し、スパイラルインダクタSIの4辺のそれぞれから距離 S_1 離れた位置を破線で示し、配線配置境界領域Zとして示している。

【0078】図12に示すように、配線WLを配線配置境界領域Zの外周まで延在するように配設し、コンタクト部CP1により他のレイヤに形成された配線WL2に接続される構成となっている。

【0079】これは、スパイラルインダクタSIのもう一方の端部においても同様であり、スパイラルインダクタSIのもう一方の端部は、配線配置境界領域Zの外周まで延在するように配設され、コンタクト部CP2により他のレイヤに形成された配線WL3に接続される構成となっている。

【0080】＜C. 実施の形態3＞

＜C-1. 装置構成＞本発明に係る実施の形態1においては、スパイラルインダクタの下部の半導体基板の表面内に配設されるトレンチ分離酸化膜を、スパイラルインダクタの配設領域に対応する領域よりもさらに広い領域に渡るように形成する構成を示したが、このように広い領域に渡るトレンチ分離酸化膜を形成すると、当該トレンチ分離酸化膜が皿状に窪むディッシングが発生しやすくなる。

【0081】すなわち、トレンチ分離酸化膜の形成においては、トレンチを形成して当該トレンチに酸化膜を埋

10

20

30

40

50

13

め込んだ後、不要な酸化膜をCMP処理で除去するが、この際にトレンチの面積が広いと、トレンチ上の酸化膜が削れ過ぎてディッシングが発生する。

【0082】ディッシングが発生した状態を示す一例として、図13に半導体装置80の構成を示す。図13においては、シリコン基板1と、該シリコン基板1上に配設された埋め込み酸化膜2と、埋め込み酸化膜2上に配設されたSOI層3とで構成されるSOI基板SBのSOI層3の表面内に、スパイラルインダクタSIの配設領域に対応する領域よりもさらに広い領域に渡って、部分分離酸化膜であるトレンチ分離酸化膜60が配設された構成となっている。

【0083】そして、トレンチ分離酸化膜60の両側はMOSトランジスタ形成領域QRとなっており、それぞれの領域にはSOI領域73が形成されている。SOI領域73にはMOSトランジスタQ33が形成されている。

【0084】MOSトランジスタQ33は、SOI領域73上に配設されたゲート絶縁膜GZ、ゲート絶縁膜GZ上に配設されたゲート電極GT、ゲート電極GT上に配設されたシリサイド膜GSを備えている。なお、MOSトランジスタQ33は一般的なMOSトランジスタであり、その構成および製造方法に特徴があるものではない。

【0085】そして、SOI基板SB上全域を覆うように、例えばシリコン酸化膜で構成される層間絶縁膜4が配設され、層間絶縁膜4上にはスパイラルインダクタSIをMOSトランジスタQ11に電気的に接続する配線WLが配設されている。

【0086】また、層間絶縁膜4上を覆うように、例えばシリコン酸化膜で構成される層間絶縁膜5が配設され、層間絶縁膜5上にスパイラルインダクタSIが配設されている。スパイラルインダクタSIの一方の端部は層間絶縁膜5を貫通して配線WLに達するコンタクト部CPを介して配線WLに接続されている。

【0087】このような構成の半導体装置80においては、トレンチ分離酸化膜60の表面が皿状に窪んでいる。ディッシングが発生したトレンチ分離酸化膜60の上部端縁部の形状は、正常なトレンチ分離酸化膜の上部端縁部の形状とは異なり、当該上部端縁部に係合するように配設されたMOSトランジスタQ33のしきい値が低下したり、ゲート絶縁膜GZの信頼性が低下するなどの影響を及ぼす可能性がある。また、薄くなったトレンチ分離酸化膜60を貫通してソース・ドレイン不純物がチャネル形成領域（ボディ部）に注入され、トランジスタ動作が不安定になる可能性があった。

【0088】以下、本発明に係る半導体装置の実施の形態3として、広い面積に渡って形成されたトレンチ分離酸化膜のディッシングを防止した半導体装置300の構成を図14に示す。なお、図14においては簡略化のた

14

め、スパイラルインダクタSIと、その下部のトレンチ分離酸化膜70の近傍の構成のみを示しているが、その他の構成において図13に示す半導体装置80と同様であり、また、図13と同一の構成には同一の符号を付し、重複する説明は省略する。

【0089】図14においては、SOI層3の表面内に、スパイラルインダクタSIの配設領域に対応する領域よりもさらに広い領域に渡って、部分分離酸化膜の構造を一部に有する完全分離酸化膜であるトレンチ分離酸化膜19を配設した構成となっている。なお、トレンチ分離酸化膜19の構成は図3を用いて説明しており、距離 S_0 を距離 D_0 以上（ $S_0 \geq D_0$ ）となるように設定することで、静電誘導損失および電磁誘導損失を低減できることは言うまでもない。

【0090】そして、トレンチ分離酸化膜19の周囲のSOI層3はトレンチ分離酸化膜のダミーパターン領域DMRとなっている。トレンチ分離酸化膜のダミーパターン領域DMRには、トレンチ分離酸化膜19よりも配設面積が小さい部分分離酸化膜PTが複数配設され、部分分離酸化膜PTによってフィールド部FPが規定されている。

【0091】CMP処理におけるディッシングは、トレンチ分離酸化膜19などの面積の広いフィールド酸化膜およびその近傍において顕著に発生し、面積が小さくなるとディッシングは発生しないという特性がある。そこで、トレンチ分離酸化膜19の周囲に、配設面積が小さい部分分離酸化膜PTを配設したダミーパターン領域DMRを設けることで、ディッシングがMOSトランジスタ形成領域QRに及ばないようにすることができ、MOSトランジスタの特性低下を防止することができる。

【0092】＜C-2. 変形例＞以上説明した半導体装置300においては、SOI層3の表面内に、スパイラルインダクタSIの配設領域に対応する領域よりもさらに広い領域に渡って、部分分離酸化膜の構造を一部に有する完全分離酸化膜であるトレンチ分離酸化膜19を配設した構成となっていたが、トレンチ分離酸化膜19の代わりに、図15に示す半導体装置300Aのように、完全分離酸化膜であるトレンチ分離酸化膜20を配設するようにしても良い。

【0093】この場合、トレンチ分離酸化膜20のそれぞれの端面、すなわちSOI層3の端面は、それぞれ対応するスパイラルインダクタSIの端面との平面方向の距離が距離 S_2 になるように配設されている。なお、また、図14と同一の構成には同一の符号を付し、重複する説明は省略する。

【0094】ここで、距離 S_2 を距離 D_0 以上（ $S_2 \geq D_0$ ）となるように設定することで、SOI層3の端縁部での静電誘導損失および電磁誘導損失を低減できることは、半導体装置100の場合と同様である。

【0095】そして、トレンチ分離酸化膜20の周囲の

15

SOI層3はトレンチ分離酸化膜のダミーパターン領域DMRとなっている。トレンチ分離酸化膜のダミーパターン領域DMRには、トレンチ分離酸化膜20よりも配設面積が小さい完全分離酸化膜FTが複数配設され、完全分離酸化膜FTによってフィールド部FPが規定されている。

【0096】なお、ダミーパターン領域DMRとMOSトランジスタ形成領域QRとの境界においては、完全分離酸化膜と部分分離酸化膜とが併合した併合分離酸化膜BTが配設され、MOSトランジスタ形成領域QRにおいては部分分離酸化膜PTが配設されている。

【0097】このように、トレンチ分離酸化膜29の周囲に、配設面積が小さい完全分離酸化膜FTおよび併合分離酸化膜BTを配設したダミーパターン領域DMRを設けることで、ディッシングがMOSトランジスタ形成領域QRに及ばないようにすることができ、MOSトランジスタの特性低下を防止することができる。

【0098】＜C-3. ダミーパターン領域の配設面積＞ここで、ダミーパターン領域DMRの配設面積について図16を用いて説明する。

【0099】図16は、ダミーパターン領域DMRのレイアウトを模式的に示す平面図であり、スパイラルインダクタSIの配設領域が矩形のインダクタ領域SPRとして示され、その周囲にトレンチ分離酸化膜19あるいは20の完全分離領域FRが示されている。なお、インダクタ領域SPRを規定する実線と完全分離領域FRを規定する破線との間隔が、これまでに説明した距離S0あるいは距離S2であることは言うまでもない。

【0100】また、完全分離領域FRを囲むようにダミーパターン領域DMRが配設されている。

【0101】ここで、ダミーパターン領域DMRは、完全分離領域FRの短辺の長さの5%以上の幅を有するように設定することが望ましい。これは、CMP処理におけるディッシングの度合いは、トレンチ分離酸化膜19および20などのような大面積のフィールド酸化膜の短辺の長さに依存し、その外周から短辺の長さの5%外側まで影響を及ぼすことが発明者等の実験により判明したからである。

【0102】従って、ダミーパターン領域DMRを、完全分離領域FRの短辺の長さの5%以上の幅を有するように設定することで、MOSトランジスタ形成領域QRにディッシングが及ばないようにできる。

【0103】＜C-4. ダミーパターン領域の配設の態様＞次に、図17を用いてダミーパターン領域DMRの配設の態様について説明する。

【0104】図17は、図16に示す完全分離領域FRとダミーパターン領域DMRとを部分的に示す平面図であり、ダミーパターン領域DMRのフィールド部FPの平面視形状は正方形として示されている。

【0105】ここで、フィールド部FPと、その周囲の

16

分離酸化膜（完全分離酸化膜PTおよび部分分離酸化膜FT等）IXとの面積比が1対1となるように配設することが望ましい。

【0106】例えば、フィールド部FPの1辺の長さを1とすれば、その周囲の分離酸化膜IXの1辺の長さを1.4とすることで、フィールド部FPと分離酸化膜IXとの面積比を約1対1にできる。

【0107】＜D. 実施の形態4＞本発明に係る実施の形態1～3においては、スパイラルインダクタの下部の半導体基板の表面内に配設されるトレンチ分離酸化膜を、スパイラルインダクタの配設領域に対応する領域よりもさらに広い領域に渡るように形成する構成を示したが、スパイラルインダクタだけでなく、キャパシタや抵抗素子の下部の半導体基板の表面内に配設されるトレンチ分離酸化膜についても同様の構成とすることで、寄生容量成分を低減して静電誘導損失を低減できる。

【0108】例えば、図18は、図3に示す半導体装置100のスパイラルインダクタSIをキャパシタCCに変更したものであって、キャパシタCCの下部にトレンチ分離酸化膜19が配設されている。

【0109】なお、キャパシタCCは一般的な構造であり、2つの電極ED1およびED2を有し、それぞれ異なる配線層（図示せず）に接続されている。

【0110】図18において、SOI層3の突出部DPのそれぞれの端面と、それぞれ対応するキャパシタCCの電極ED1端面との平面方向の距離および、キャパシタCCの電極ED1下面とシリコン基板1の上主面までの距離が、それぞれ距離S0および距離D0で示されている。

【0111】ここで、距離S0を距離D0以上（ $S_0 \geq D_0$ ）となるように設定することで、静電誘導損失を低減できる。

【0112】ここで、静電誘導損失低減について図19を用いて説明する。図19において、キャパシタCCの電極ED1に対向するシリコン基板1を仮想電極1とすれば、電極ED1と仮想電極1との間の絶縁物を誘電体として寄生容量Cdが形成される。寄生容量Cdは下記の数式(1)で表される。

【0113】

【数1】

$$Cd \propto \epsilon \frac{1}{D_0}$$

【0114】なお、 ϵ は誘電体の誘電率を表す。

【0115】一方、SOI層3の突出部DPをキャパシタCCの電極ED1に対する電極とすれば、突出部DPとキャパシタCCの電極ED1との間の絶縁物を誘電体として寄生容量Csが形成される。この場合、SOI層3の突出部DPとキャパシタCCの電極ED1との直線距離は $S_0^2 + D_0^2$ の平方根で表され、寄生容量Csは下記の数式(2)で表される。

【0116】

【数2】

$$C_s \propto \epsilon \frac{1}{\sqrt{S_0^2 + D_0^2}}$$

【0117】ここで、距離 S_0 が0であれば、すなわち従来の構成であれば寄生容量 C_s は寄生容量 C_d と同じとなるので、寄生容量 C_d が2倍になるが、本発明においては距離 S_0 を距離 D_0 と同等以上とするので、例えば $S_0 = D_0$ の場合には寄生容量 C_s は下記の数式(3)で表される。

【0118】

【数3】

$$C_s \propto \epsilon \frac{1}{D_0 \sqrt{2}}$$

【0119】数式(3)に示すように、寄生容量 C_s は寄生容量 C_d の $1/\sqrt{2}$ となるので、従来に比べて寄生容量を低減でき、静電誘導損失を低減できる。

【0120】なお、以上説明した仕組みは先に説明した実施の形態1～3においても同様である。

【0121】また、図20は、図3に示す半導体装置100のスパイラルインダクタSIを抵抗素子REに変更したものであって、抵抗素子REの下部にトレンチ分離酸化膜19が配設されている。

【0122】なお、抵抗素子REは一般的な構造であり、抵抗素子REの2つの端部がそれぞれ異なる配線層(図示せず)に接続されている。

【0123】図20において、SOI層3の突出部DPのそれぞれの端面と、それぞれ対応する抵抗素子REの端面との平面方向の距離および、抵抗素子REの下面とシリコン基板1の上主面までの距離が、それぞれ距離 S_0 および距離 D_0 で示されている。

【0124】ここで、距離 S_0 を距離 D_0 以上($S_0 \geq D_0$)となるように設定することで、静電誘導損失を低減できることは上述した通りである。

【0125】なお、実施の形態3において説明したように、トレンチ分離酸化膜19の周囲に、ダミーパターン領域を設けることで、ディッシングがMOSトランジスタ形成領域に及ばないようにすることができ、MOSトランジスタの特性低下を防止することができることは言うまでもない。

【0126】<E. 各種トレンチ分離酸化膜による素子間分離の態様>以上の説明においては、図2において部分分離酸化膜の構造を一部に有する完全分離酸化膜としてトレンチ分離酸化膜19を、図27において完全分離酸化膜と部分分離酸化膜とが併合した併合分離酸化膜BTを示したが、以下、これらのトレンチ分離酸化膜による素子間分離の構成および製造方法の一例について説明する。

【0127】<E-1. 第1の態様>図21は、部分分

離酸化膜の構造を一部に有する完全分離酸化膜により素子間分離を行う半導体装置400の構成を示す図であり、実施の形態1において説明したトレンチ分離酸化膜19に相当するトレンチ分離酸化膜33を例示している。

【0128】図21において、シリコン基板1、埋め込み酸化膜2およびSOI層からなるSOI構造の半導体装置におけるSOI層3の各トランジスタ形成領域は下層部にウエル領域が形成される部分分離酸化膜31によって分離される。そして、NMOSTランジスタ間を分離する部分分離酸化膜31の下層にp型のウエル領域11が形成され、PMOSTランジスタ間を分離する部分分離酸化膜31の下層にn型のウエル領域12が形成され、NMOSTランジスタ、PMOSTランジスタ間を分離するトレンチ分離酸化膜33においては、下層部の一部がウエル領域29となるがSOI層3の上面から下面にかけてトレンチ分離酸化膜33を用いてNMOSTランジスタ、PMOSTランジスタ間を完全分離している。

【0129】なお、ウエル領域11はNMOSTランジスタ群のドレイン領域5およびソース領域6を囲うように形成され、ウエル領域12はPMOSTランジスタ群のドレイン領域5およびソース領域6を囲うように形成され、SOI層3上を層間絶縁膜4で覆っている。

【0130】また、部分分離酸化膜31によって他のトランジスタから分離される1単位のMOSトランジスタは、SOI層3中に形成されるソース領域6およびチャネル形成領域7、チャネル形成領域7上に形成されるゲート酸化膜8、ゲート酸化膜8上に形成されるゲート電極9から構成される。また、層間絶縁膜4上に形成された配線層22は、層間絶縁膜4中に設けられたコンタクト21を介してドレイン領域5あるいはソース領域6と電気的に接続される。

【0131】次に、図22～図26を用いて半導体装置400の素子分離工程について説明する。

【0132】まず、図22に示すように、シリコン基板1、埋め込み酸化膜2及びSOI層3からなるSOI基板SBを準備する。通常、SOI層3の膜厚は50～200nm、埋め込み酸化膜2の膜厚は100～400nmになる。

【0133】なお、SOI基板SBは酸素イオン注入によって埋め込み酸化膜2を形成するSIMOX法や、ウエハの貼り合わせ法により形成したものなどを使用でき、その製造方法に限定はない。

【0134】次に、SOI層3上に、20nm程度の酸化膜41と200nm程度の窒化膜42を順次堆積した後、パターニングしたレジスト46をマスクとして分離領域をパターニングし、窒化膜42、酸化膜41、SOI層の3多層膜を、SOI層3の下層部が残存するようにエッチングして、図23に示すように、比較的幅の広

19

い部分トレンチ 44A と比較的幅の狭い部分トレンチ 44B とを形成する。

【0135】部分トレンチ 44A が完全分離用であり、部分トレンチ 44B が部分分離用である。この際、SOI 層 3 の下層の一部が残るように部分トレンチ 44A および 44B は形成される。

【0136】次に図 24 に示すように、酸化膜 47 で部分トレンチ 44A および 44B の側面に、部分トレンチ 44B の底面は塞ぐが部分トレンチ 44A の底面中心部が露出するようにサイドウォールを形成する。これは、部分トレンチ 44B の形成幅が部分トレンチ 44A の形成幅より狭いことを利用している。

【0137】次に、図 25 に示すように、酸化膜 47 をマスクとして、SOI 層 3 に対するシリコンエッチングを行うことにより、部分トレンチ 44A の底面の中心部下の SOI 層 3 を含む、上部に酸化膜 47 が形成されていない SOI 層 3 が除去され、埋め込み酸化膜 2 の表面が露出する。

【0138】次に、図 26 に示すように、500nm 程度の酸化膜を堆積し、通常のトレンチ分離と同様の手法で CMP 処理により窒化膜 42 の途中まで研磨し、その後、窒化膜 42、酸化膜 41 の除去を行うことにより、部分分離酸化膜 31（およびその下の SOI 層 3）とトレンチ分離酸化膜 33（およびその一部の SOI 層 3）とが選択的に形成された構造を得ることができる。

【0139】以下、既存の方法で、NMOS トランジスタ形成領域に NMOS トランジスタを形成し、PMOS トランジスタ形成領域に PMOS トランジスタを形成することにより、図 21 で示した半導体装置 400 を得ることができる。

【0140】＜E-2. 第 2 の態様＞図 27 は、完全分離酸化膜と部分分離酸化膜とが併合した併合分離酸化膜により素子間分離を行う半導体装置 500 の構成を示す図であり、実施の形態 3 の変形例において説明した併合分離酸化膜 BT に相当する併合分離酸化膜 BT1 を例示している。

【0141】図 27 に示すように、半導体装置 500 はシリコン基板 1 上に埋め込み酸化膜 2 および SOI 層 3 が配設された SOI 基板 SB 上に形成され、NMOS トランジスタが形成される領域 NR と、PMOS トランジスタが形成される領域 PR とを有し、両者の間には完全分離酸化膜と部分分離酸化膜とが併合した併合分離酸化膜 BT1 を有している。

【0142】併合分離酸化膜 BT1 は、領域 PR 側の部分が SOI 層 3 を貫通して埋め込み酸化膜 2 に達しているのに対し、領域 NR 側の部分は、その下部に p 型のウエル領域 WR1 を有した断面形状となっている。

【0143】領域 NR の SOI 層 3 には 2 つの NMOS トランジスタ M11 および M12 が配設され、両者の間は、その下部にウエル領域 WR1 が配設された部分分離

20

酸化膜 PT1 によって分離されている。

【0144】そして、図 27 に向かって部分分離酸化膜 PT1 より左側の SOI 層 3 上に配設された NMOS トランジスタ M11 は、部分分離酸化膜 PT1 と併合分離酸化膜 BT1 の間に渡るゲート酸化膜 GO11、ゲート酸化膜 GO11 上に配設されるとともに、その端部が部分分離酸化膜 PT1 上および併合分離酸化膜 BT1 上に係合するゲート電極 GT11 を有している。

【0145】また、図 27 に向かって部分分離酸化膜 PT1 より右側の SOI 層 3 上に配設された NMOS トランジスタ M12 は、部分分離酸化膜 PT1 と併合分離酸化膜 BT1 の間に渡るゲート酸化膜 GO12、ゲート酸化膜 GO12 上に配設されるとともに、その端部が部分分離酸化膜 PT1 上および併合分離酸化膜 BT1 上に係合するゲート電極 GT12 を有している。

【0146】また、領域 PR の SOI 層 3 には部分分離酸化膜 PT2 が配設され、部分分離酸化膜 PT2 と併合分離酸化膜 BT1 との間の SOI 層 3 上には PMOS トランジスタ M13 が配設されている。

【0147】PMOS トランジスタ M13 は、部分分離酸化膜 PT2 と併合分離酸化膜 BT1 の間に渡るゲート酸化膜 GO13、ゲート酸化膜 GO13 上に配設されるとともに、その端部が部分分離酸化膜 PT2 上および併合分離酸化膜 BT1 上に係合するゲート電極 GT13 を有している。

【0148】そして、SOI 基板 SB 全面に渡って層間絶縁膜 9 が配設され、層間絶縁膜 9 を貫通してゲート電極 GT11、GT12、GT13 の一端に達する複数のゲートコンタクト GC が配設され、ゲートコンタクト GC は層間絶縁膜 9 上にパターニングされた配線層 WL0 にそれぞれ接続されている。

【0149】次に、図 28～図 34 を用いて半導体装置 500 の素子分離工程について説明する。

【0150】まず、図 28 に示すように、シリコン基板 1 上に埋め込み酸化膜 2 および SOI 層 3 が配設された SOI 基板 SB を準備する。この SOI 基板 SB は、SIMOX 法で形成されたものでもウエハ貼り合わせ法で形成されたもの、その他、いかなる形成方法で形成された SOI 基板であっても構わない。通常、SOI 層 3 の膜厚は 50～200nm、埋め込み酸化膜 2 の膜厚は 100～400nm である。

【0151】そして、CVD 法により 800℃ 程度の温度条件で、SOI 層 3 上に厚さ 5～50nm（50～500オングストローム）程度の酸化膜 OX11（酸化伸張層）を形成する。なお、この酸化膜は SOI 層 3 を 800～1000℃ 程度の温度条件で熱酸化して形成しても良い。

【0152】次に、CVD 法により酸化膜 OX11 上に厚さ 10～100nm（100～1000オングストローム）程度のポリシリコン層 PS11（酸化伸張層）を

形成する。

【0153】次に、CVD法により700℃程度の温度条件で、ポリシリコン層PS11上に、厚さ50～200nm(500～2000オングストローム)の窒化膜SN11を形成する。なお、窒化膜の代わりに、窒素と酸素の混合雰囲気中で形成した、窒素を数%から数10%程度含有する窒化酸化膜を使用しても良い。

【0154】続いて、窒化膜SN11上にパターンニングによりレジストマスクRM11を形成する。レジストマスクRM11は、部分分離酸化膜PT1、PT2および併合分離酸化膜BT1(図1)の配設位置に対応した部分が開口部となったパターンを有している。

【0155】次に、図29に示す工程において、レジストマスクRM11の開口パターンに合わせて窒化膜SN11をエッチングし、その後、窒化膜SN11をエッチングマスクとして、ドライエッチングによりポリシリコン層PS11、酸化膜OX11およびSOI層3を選択的に除去し、部分分離酸化膜PT1、PT2および併合分離酸化膜BT1の形成位置に対応させてトレンチTR1、TR2およびTR3を形成する。

【0156】なお、SOI層3のエッチングにおいては、SOI層3を貫通しないようにすることが必要であるが、トレンチの底部から埋め込み酸化膜2までのSOI層3の厚さが薄くなり過ぎると結晶欠陥が発生するため、少なくとも10nm程度の厚さとなるようにエッチング条件を設定する。

【0157】次に、図30に示す工程においてパターンニングによりレジストマスクRM12を形成する。レジストマスクRM12は、トレンチTR2の所定部分だけが開口部となるようなパターンを有している。より具体的には、後に形成される併合分離酸化膜BT1(図27)のうち、SOI層3を貫通して埋め込み酸化膜2に達する部分に対応する領域のみが開口部となったパターンを有している。そして、レジストマスクRM12の開口パターンに合わせてトレンチTR2をエッチングし、埋め込み酸化膜2を露出させる。

【0158】レジストマスクRM12を除去した後、図31に示す工程において、窒化膜SN11をマスクとして露出したSOI層3の表面を熱酸化して酸化膜OX12を形成する。なお、トレンチTR2の再度のエッチングにより、トレンチTR2はSOI層3を貫通した部分を有するトレンチTR21となる。

【0159】酸化膜OX12を形成する目的は、SOI層3のパターンニングの際のエッチングによるダメージを除去することと、絶縁破壊を防止して信頼性を高めたゲート酸化膜を得るためである。

【0160】酸化膜OX12の形成温度は800～1350℃程度で、膜厚は1～60nm(10～600オングストローム)程度である。なお、酸化前および酸化後の少なくとも一方の段階において、窒素雰囲気、水素雰

囲気あるいはアルゴン雰囲気で行うようにしても良い。このアニール条件としては、600～900℃の比較的低温で行う場合は処理時間は30分～2時間程度であり、900～1300℃の比較的高温で行う場合は処理時間は2秒から1分程度となる。

【0161】酸化前に上記アニールを行うと、SOI層3の最表面の結晶性を改善することができ、酸化後に上記アニールを行うと、熱処理に伴うSOI層3のストレスを緩和することができる。

【0162】次に、図33に示す工程において、SOI基板全域に渡ってCVD法により厚さ300～600nm程度の酸化膜OX13を形成し、酸化膜OX13によりトレンチTR1、TR3およびTR21を完全に埋め込む。

【0163】酸化膜OX13は、例えばHDP(High Density Plasma)-CVD法によって形成される。HDP-CVD法は、一般的なプラズマCVDよりも1桁～2桁高い密度のプラズマを使用し、スパッタリングとデポジションを同時に行いながら酸化膜を堆積するものであり、膜質の良好な酸化膜を得ることができる。

【0164】なお、酸化膜OX13は、トレンチTR1、TR3およびTR21等の段差形状を反映した凹凸部を有しており、この凹凸部を覆うようにパターンニングされたレジストマスクRM13を酸化膜OX13上に形成する。

【0165】そして、レジストマスクRM13の開口パターンに合わせて酸化膜OX13を所定深さまでエッチングした後、レジストマスクRM13を除去することで図8に示す構成を得る。このような処理を行う理由は、後に行うCMP(Chemical Mechanical Polishing)処理で酸化膜OX13を平坦化するが、その際に、平坦化後の酸化膜OX13の厚さの均一性を向上させるためである。

【0166】次に、図34に示す工程において、CMP処理により酸化膜OX13を窒化膜SN11の途中まで研磨して平坦化する。その後、窒化膜SN11およびポリシリコン層PS11をウエットエッチングまたはドライエッチングにより除去することで、図27に示した部分分離酸化膜PT1、PT2および併合分離酸化膜BT1を成形する。

【0167】以下、既存の方法で、NMOSTランジスタ形成領域NRにNMOSTランジスタを形成し、PMOSTランジスタ形成領域PRにPMOSTランジスタを形成することにより、図27で示した半導体装置500を得ることができる。

【0168】なお、部分分離酸化膜と完全分離酸化膜との併用例およびその製造方法については、特許出願番号11-177091の明細書中の図4～図7および図8～図27に開示されている。

【0169】また、併合分離酸化膜の構成およびその製

23

造方法については、特許出願番号2000-39480の明細書中の図1～図38に開示されている。

【0170】

【発明の効果】本発明に係る請求項1記載の半導体装置によれば、第1の分離酸化膜の端面と、インダクタンス素子の端面のうち最も近い端面との平面方向の距離が、第1の分離酸化膜に対向するインダクタンス素子の下面と前記半導体基板表面との間の垂直方向の距離以上となるように配設されているので、インダクタンス素子と第1の分離酸化膜の端面近傍の半導体基板との間の寄生容量が減って静電誘導損失が小さくなり、また、第1の分離酸化膜の端面近傍の半導体基板からインダクタンス素子を見た場合の見込み角を小さくすることで電磁誘導損失を低減できる。

【0171】本発明に係る請求項2記載の半導体装置によれば、導体層の端面と、インダクタ素子の端面のうち最も近い端面との平面方向の距離が、第1の分離酸化膜に対向するインダクタンス素子の下面と半導体基板表面との間の垂直方向の距離以上となるように配設されているので、インダクタンス素子と導体層との間の寄生容量が減って静電誘導損失が小さくなり、導体層の端縁部からインダクタンス素子を見た場合の見込み角を小さくすることで電磁誘導損失を低減できる。

【0172】本発明に係る請求項3記載の半導体装置によれば、第1の分離酸化膜の周囲に、平面視幅が小さい第2の分離酸化膜により分離されたダミーパターン領域を備えているので、第1の分離酸化膜をCMPにより成形する際に、第1の分離酸化膜におけるディッシングがダミーパターン領域外に及ばず、トランジスタ形成領域にディッシングが及ばないようにすることができる。

【0173】本発明に係る請求項4記載の半導体装置によれば、第1の分離酸化膜とインダクタンス素子との間の高さ位置に導体層を有する構成、あるいは第1の分離酸化膜の周囲に第2の分離酸化膜を有するダミーパターン領域を有する構成においても、静電誘導損失がおよび電磁誘導損失を低減できる。

【0174】本発明に係る請求項5記載の半導体装置によれば、半導体基板がSOI基板であるので、確実な素子間分離が可能となり、また分離酸化膜の幅を微細加工技術で決まる最小幅に設定できるので、装置の小型化を達成できる。

【0175】本発明に係る請求項6記載の半導体装置によれば、第1の分離酸化膜が第1の形成幅で埋め込み酸化膜の表面に対して深さ方向に延在する第1の部分と、該第1の部分の下部に連続し、第1の形成幅よりも狭い第2の形成幅で埋め込み酸化膜の表面に対して深さ方向に延在して埋め込み酸化膜に達する第2の部分とを有して、いわゆる部分分離酸化膜を一部に有した完全分離酸化膜となっているので、部分分離酸化膜により素子間分離を行う半導体装置において、素子間分離のための部分

24

分離酸化膜の形成工程で第1の分離酸化膜を形成することができ、製造工程を簡略化することができる。

【0176】本発明に係る請求項7記載の半導体装置によれば、第1の分離酸化膜が所定の形成幅で埋め込み酸化膜の表面に対して深さ方向に延在する、いわゆる完全分離酸化膜となっているので、完全分離酸化膜により素子間分離を行う半導体装置において、素子間分離のための完全分離酸化膜の形成工程で第1の分離酸化膜を形成することができ、製造工程を簡略化することができる。また、部分分離酸化膜を一部に有した構成のように、厚みが薄く、抵抗値の高い領域を有さないので、当該領域における電磁誘導損失を低減できる。

【0177】本発明に係る請求項8記載の半導体装置によれば、ダミーパターン領域の形成幅が、第1の分離酸化膜の短辺の長さの5%以上の長さを有するので、ディッシングがダミーパターン領域外に及ぶことを防止できる。

【0178】本発明に係る請求項9記載の半導体装置によれば、ダミーパターン領域の第2の分離酸化膜の平面視面積と、フィールド部の平面視面積の比率がほぼ1対1に設定されるので、ディッシングがダミーパターン領域外に及ぶことを防止する効果が高い。

【図面の簡単な説明】

【図1】 スパイラルインダクタを有した半導体装置の構成の一例を示す断面図である。

【図2】 部分分離酸化膜を一部に有した完全分離酸化膜の上部にスパイラルインダクタを有した半導体装置の構成の一例を示す断面図である。

【図3】 本発明に係る実施の形態1の半導体装置の構成を示す断面図である。

【図4】 本発明に係る実施の形態1の半導体装置の構成の特徴を明確に示す断面図である。

【図5】 本発明に係る実施の形態1の半導体装置の構成の作用を説明する断面図である。

【図6】 本発明に係る実施の形態1の半導体装置の構成の作用を説明する模式図である。

【図7】 本発明に係る実施の形態1の半導体装置の構成の作用を説明する模式図である。

【図8】 本発明に係る実施の形態1の半導体装置の変形例1の構成を示す断面図である。

【図9】 本発明に係る実施の形態1の半導体装置の変形例2の構成を示す断面図である。

【図10】 本発明に係る実施の形態2の半導体装置の構成を示す断面図である。

【図11】 本発明に係る実施の形態2の半導体装置の変形例の構成を示す断面図である。

【図12】 スパイラルインダクタの下部の配線の接続状態を説明する平面図である。

【図13】 分離酸化膜のディッシングが及ぼす影響を説明する断面図である。

25

【図１４】 本発明に係る実施の形態３の半導体装置の構成を示す断面図である。

【図 15】 本発明に係る実施の形態 3 の半導体装置の変形例の構成を示す断面図である。

【図16】 ダミーパターン領域の配設状態を説明する平面図である。

【図17】 ダミーパターンの形状を説明する平面図である。

【図 18】 本発明に係る実施の形態 4 の半導体装置の構成を示す断面図である。

【図19】 寄生容量の低減の仕組みを説明する模式図である。

【図 20】 本発明に係る実施の形態 4 の半導体装置の構成を示す断面図である。

【図21】 トレンチ分離酸化膜による素子間分離の一態様を示す断面図である。

【図 2 2】 トレンチ分離酸化膜による素子間分離の一様性の製造工程を示す断面図である。

【図23】 トレンチ分離酸化膜による素子間分離の一様性の製造工程を示す断面図である。

【図24】 トレンチ分離酸化膜による素子間分離の一態様の製造工程を示す断面図である。

【図25】 トレンチ分離酸化膜による素子間分離の一態様の製造工程を示す断面図である。

【図 26】 トレンチ分離酸化膜による素子間分離の一 *

26

* 態様の製造工程を示す断面図である。

【図27】 トレンチ分離酸化膜による素子間分離の一例様を示す断面図である。

【図28】 トレンチ分離酸化膜による素子間分離の一態様の製造工程を示す断面図である。

【図29】 トレンチ分離酸化膜による素子間分離の一態様の製造工程を示す断面図である。

【図30】 トレンチ分離酸化膜による素子間分離の一様様の製造工程を示す断面図である。

10 【図31】 トレンチ分離酸化膜による素子間分離の一
態様の製造工程を示す断面図である。

【図32】 トレンチ分離酸化膜による素子間分離の一様様の製造工程を示す断面図である。

【図33】 トレンチ分離酸化膜による素子間分離の一態様の製造工程を示す断面図である。

【図34】 トレンチ分離酸化膜による素子間分離の一様様の製造工程を示す断面図である。

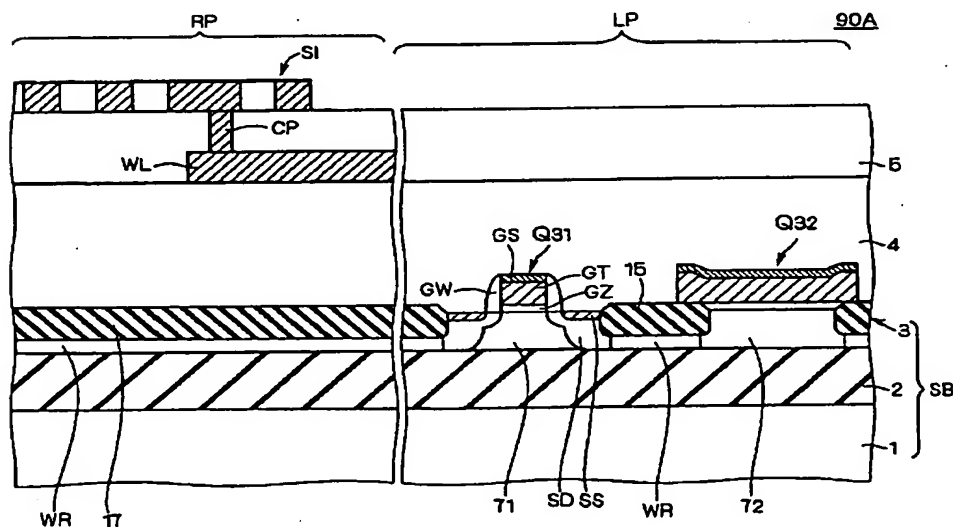
【図35】 高周波回路を備えた半導体装置の構成の一例を示すブロック図である。

20 【図36】 スパイラルインダクタの構成を示す斜視図である。

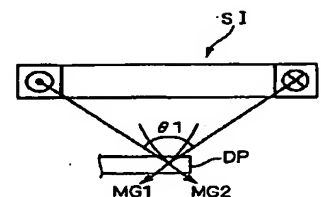
【符号の説明】

19, 20 トレンチ分離酸化膜、S I スパイラルインダクタ、WL1 配線層、DMR ダミーパターン領域。

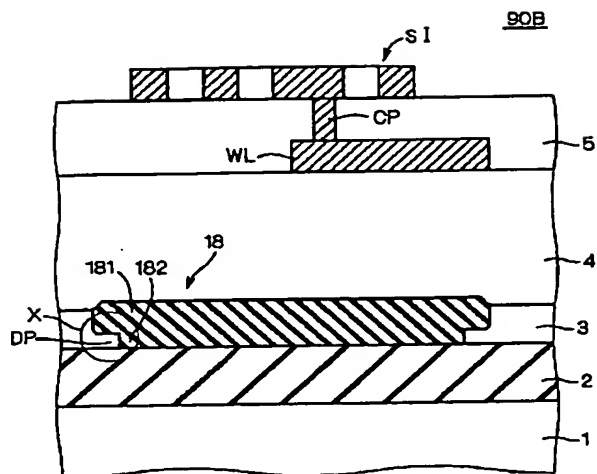
【图 1】



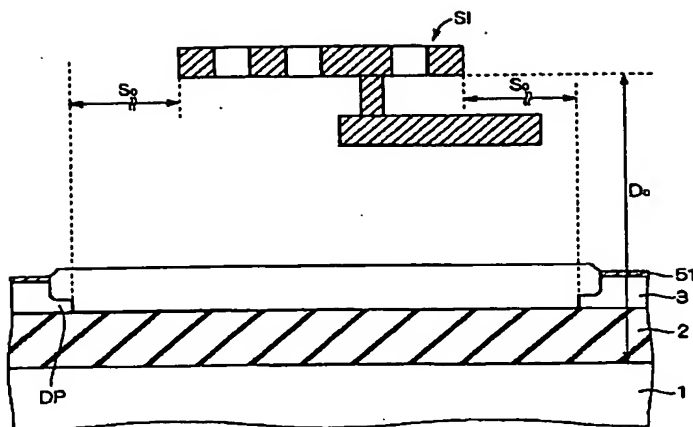
【圖 7】



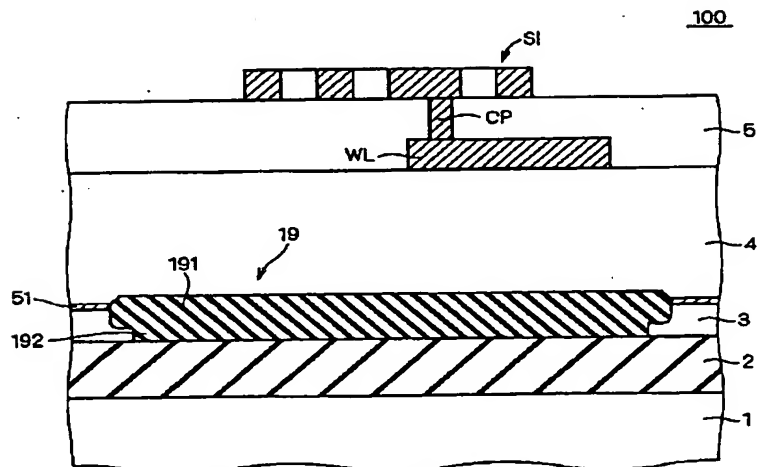
【図2】



【図4】

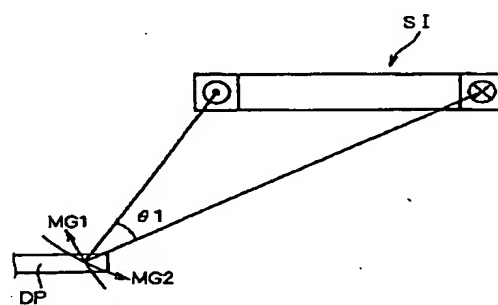


【図3】

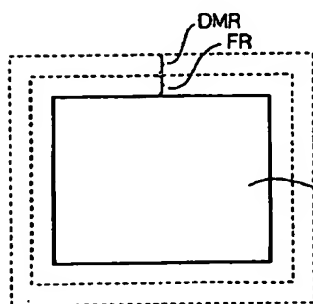


19 : トレンチ分酸化膜
SI : スパイラルインダクタ

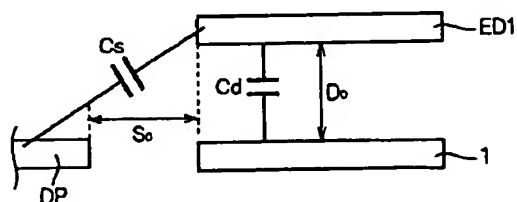
【図6】



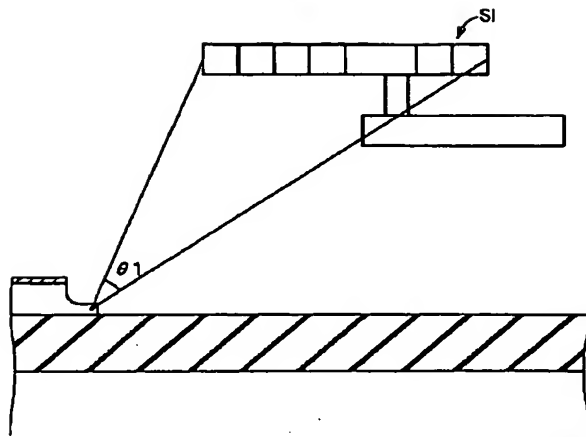
【図16】



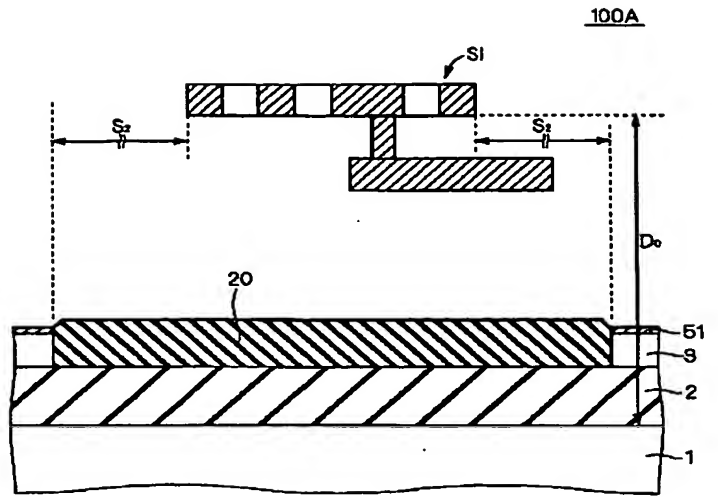
【図19】



【図5】

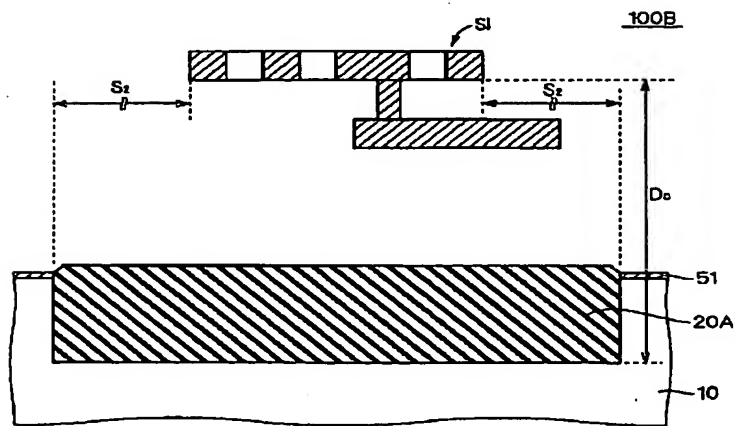


【図8】

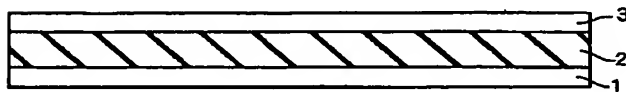


20: トレンチ分離酸化膜

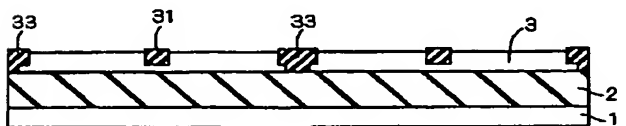
【図9】



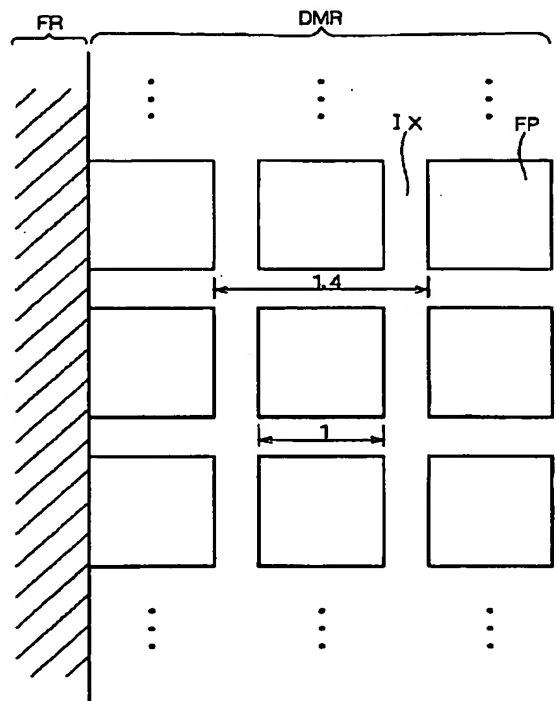
【図22】



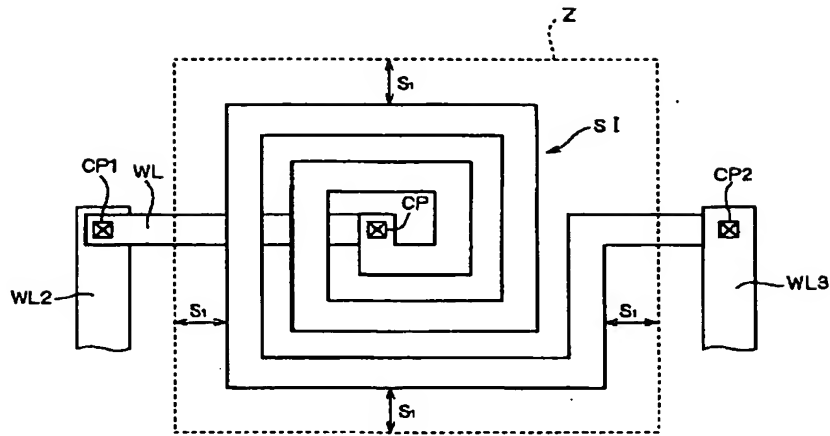
【図26】



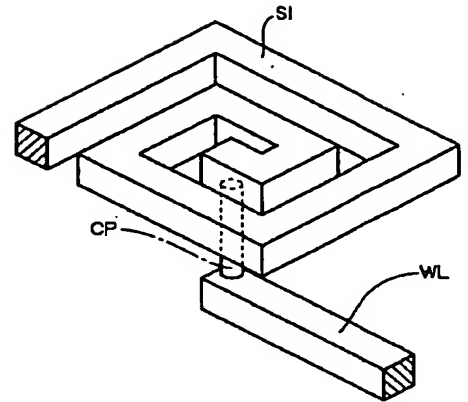
【図17】



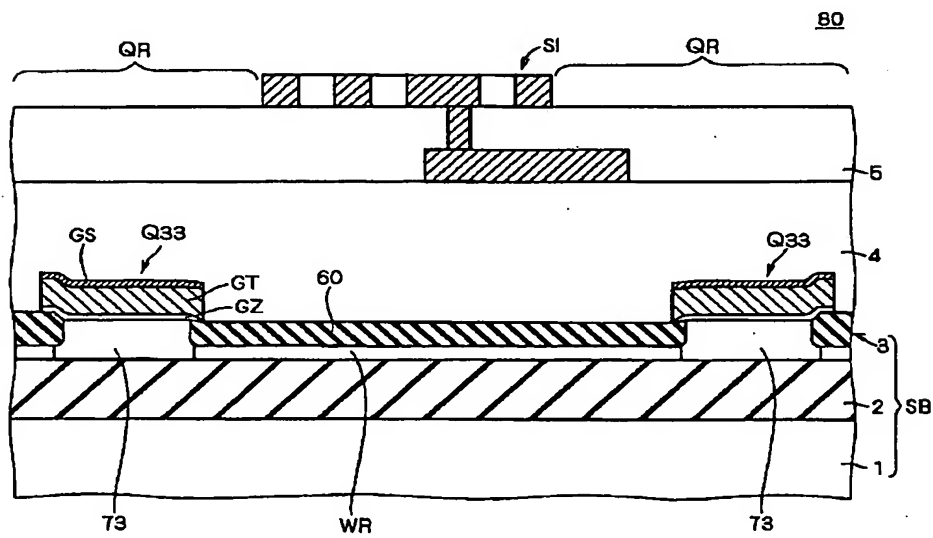
【図12】



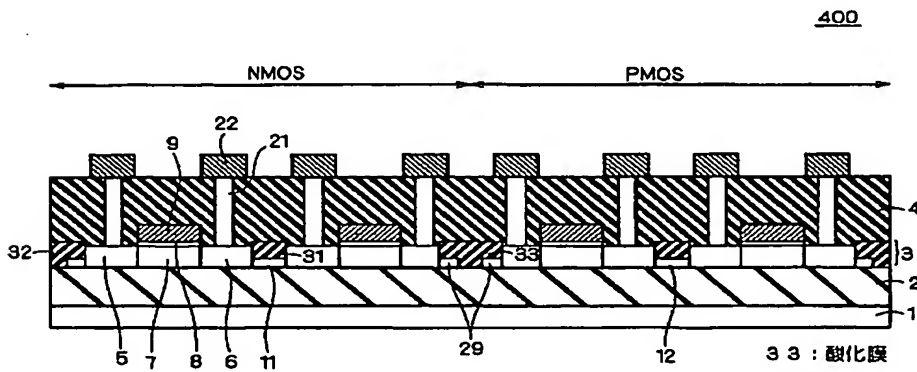
【図36】



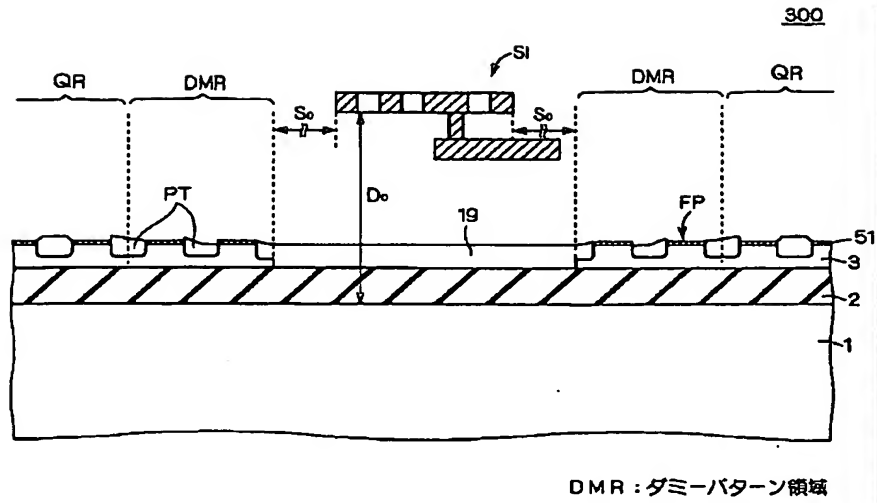
【図13】



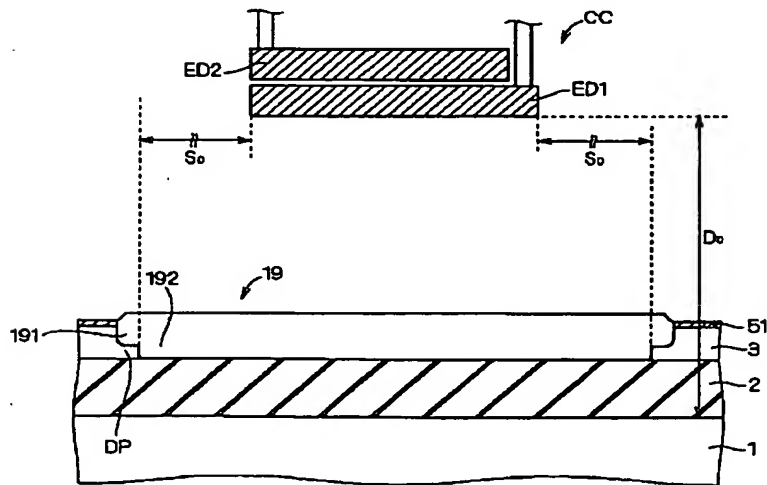
【図21】



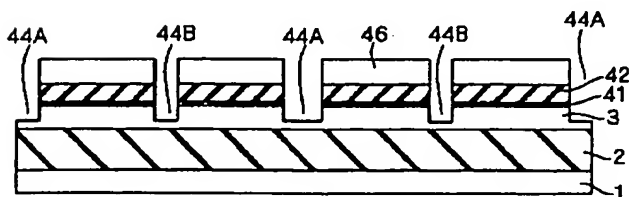
【図 14】



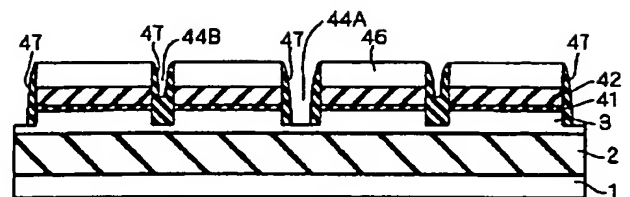
【図 18】



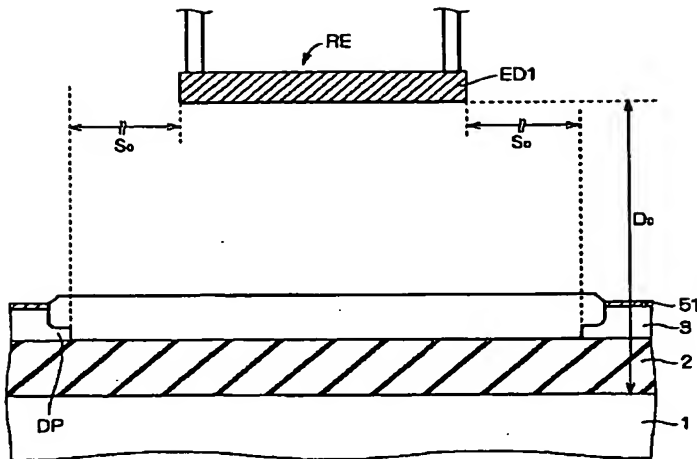
【図 23】



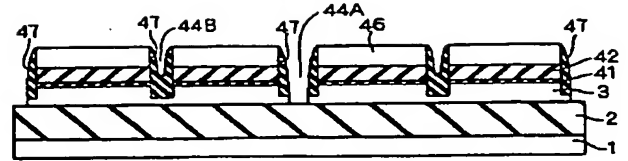
【図 24】



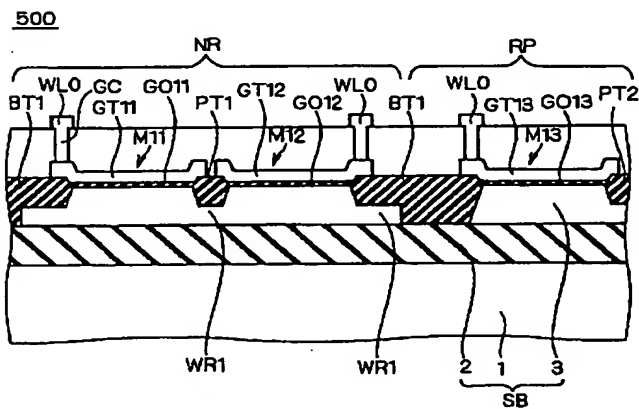
【図 20】



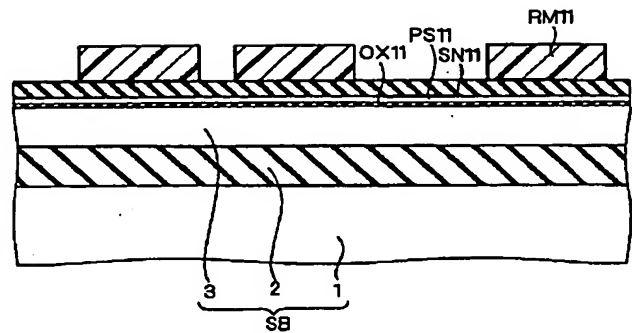
【図 25】



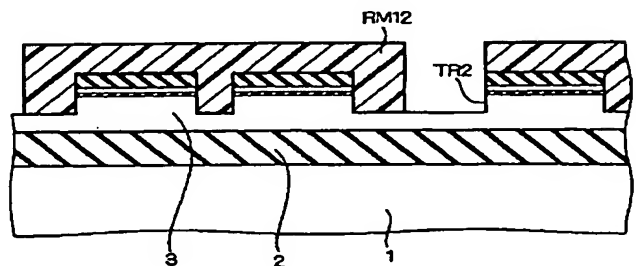
【図 27】



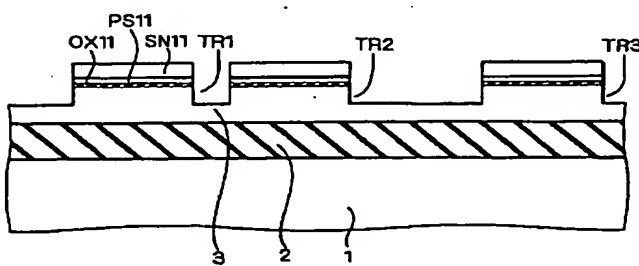
【図 28】



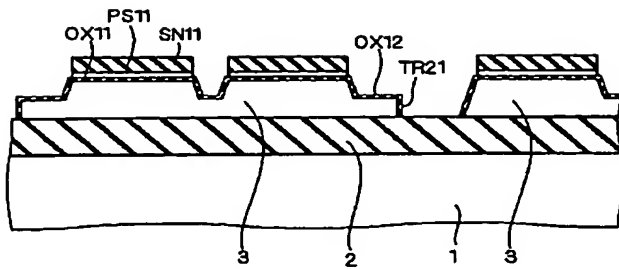
【図 30】



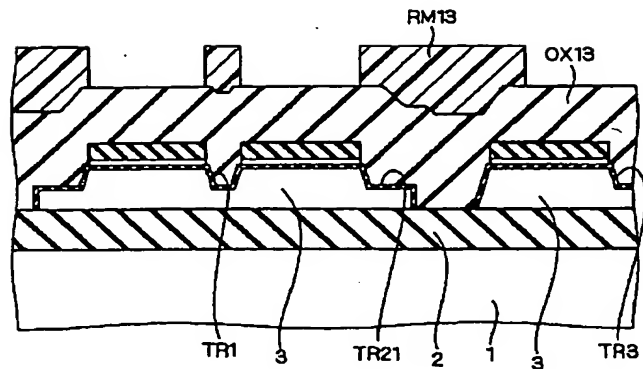
【図 29】



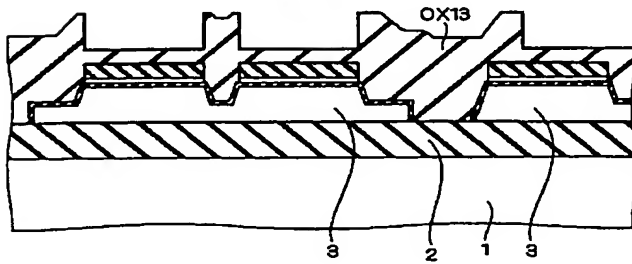
【図31】



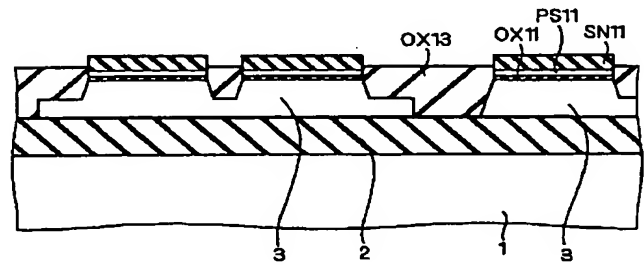
【図32】



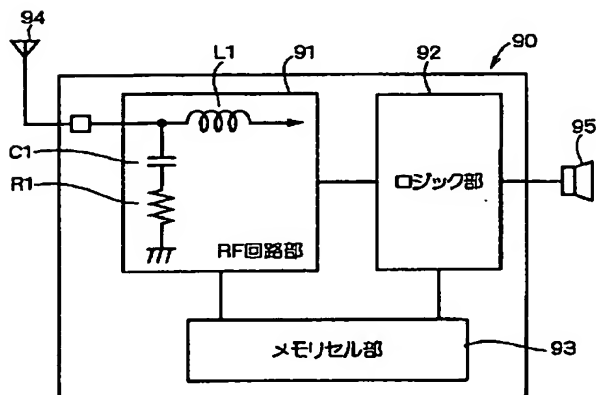
【図33】



【図34】



【図35】



フロントページの続き

(51)Int.Cl.⁷
H01L 27/08

29/786

識別記号
331

FI
H01L 21/76
27/06
29/78

テーマコード(参考)

L
102A
613A
621

6 2 6 B

6 2 6 C

(72)発明者 一法師 隆志
東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

(72)発明者 岩松 俊明
東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

F ターム (参考) 5F032 AA06 AA07 AA09 AB02 AC01
BA02 BB01 CA14 CA17 CA20
DA30 DA33 DA60 DA71

5F038 AZ04 CA16 DF02 EZ06 EZ20

5F048 AC04 AC10 BA16 BC06 BF06
BG01 BG05 BG06 BG12

5F110 AA09 AA15 CC02 DD05 GG60
HK05 NN62 NN65 NN71 NN72